

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016337

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H05K 3/00
G06F 17/50

(21)Application number : 2000-196793

(71)Applicant : SONY CORP

(22)Date of filing : 29.06.2000

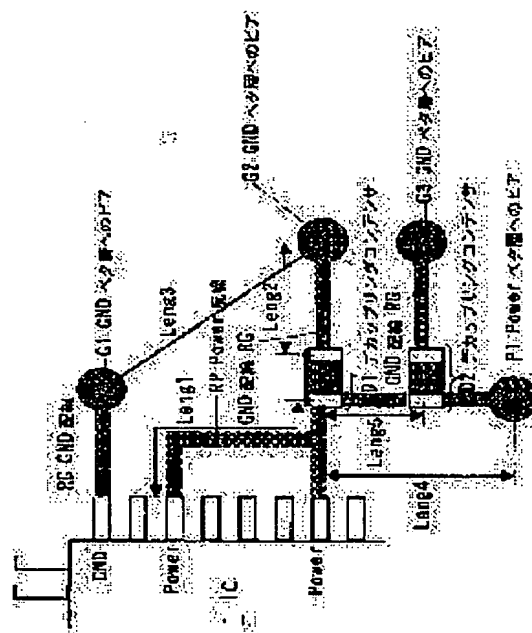
(72)Inventor : ARAKI KENJI
YOKOYAMA AYAO

(54) WIRING STRUCTURE CHECK SYSTEM FOR PRINTED BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To verify optimal capacitance and arrangement of decoupling capacitors corresponding to power pins or ground pins on a printed board.

SOLUTION: For a decoupling capacitor D1 connected with a high speed IC1, the number of power supply pins of the same potential as the high speed IC1 connected with the capacitor and presence of vias between the power supply pins of the same potential and the power supply pins of the capacitor are checked and optimal arrangement and capacity of the decoupling capacitors D1, D2 are calculated using a simple calculation expression. If temporarily designed current arrangement and capacity are different significantly from the calculation results, a message is delivered to designate optimization of the arrangement and capacity of a relevant decoupling capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Family list**5** family members for:**JP2001282882**

Derived from 4 applications.

- 1 DESIGN SUPPORT DEVICE TO SUPPORT DESIGN OF PRINTED
CIRCUIT BOARD SUITED TO NOISE REDUCTION**
Publication info: **JP2001282882 A** - 2001-10-12
- 2 A computer aided design apparatus for aiding design of a printed
wiring board to effectively reduce noise**
Publication info: **TW530229 B** - 2003-05-01
- 3 Computer aided design apparatus for aiding design of a printed wiring
board to effectively reduce noise**
Publication info: **US6631509 B2** - 2003-10-07
US2001034875 A1 - 2001-10-25
- 4 Computer aided design apparatus for aiding design of a printed wiring
board to effectively reduce noise**
Publication info: **US2004015804 A1** - 2004-01-22

Data supplied from the **esp@cenet** database - Worldwide

の経路をデカップリングコンデンサとLC電源ピンとの経路に支えることが可能であることが周知となっている。また、一般的に、回路電流が流れる電流経路（ループ）のループ面積を小さくすれば、基板の放射エミッションを低減し、入射電磁界の影響も低減できることが知られているが、上記デカップリングコンデンサを配置することで、上記のループ面積を小さく構成することが可能となる。上記のとおり知られている。

【0005】さらに、電源とデカップリングコンデンサとをGNDの経路を含むループが作る閉回路において、該閉回路に寄生するインダクタンスとデカップリングコンデンサとの自己共振周波数までは、特性インピーダンスは、周波数の上昇と共に減少し、自己共振周波数と一致する時、特性インピーダンスが無限大（抵抗分のみ）となる。しかし、自己共振周波数以上では、逆にインピーダンスが鋭くなり、それに伴い、デカップリングコンデンサの効果を果たさなくなる（効果的にノイズを除去することができなくなる）ことも知られている。

【0006】つまり、上記の理由により、高速ICが電源ブレーン上に発生するRFEエネルギーを効果的に除去するためには、デカップリングコンデンサの最適な容量値とレイアウトを決定する必要がある。

【0007】
 【発明が解決しようとする課題】ところで、近年の IC の高速化と多ピン化に伴い、電源プレッシャーまたはグラウンドプレーンに流れ込む共通電流の電流値、及び、該共通電流の周波数が増加する傾向があると共に、電源ピンまたはグラウンドピンのピン数が増加する傾向があり、どのピンに対しても、どのデカップリングコンデンサが効いているのか識別できないといった問題点があった。

【0008】また、デカップリングコンデンサの効き目が悪いので、電源ブレインまたはグラウンドブレインで発生するハウスノイズ（電源ブレインまたはグラウンドブレインの電位が局所的に変動するノイズ）が原因で発生する放射ノイズが増大するといった問題点が解決できていなかった。

【0009】さらに、電圧プレーンに施れらる上記電圧電流の電圧値や、該電流の周波数の仕度も、デジタル信号の高周化に伴い、特長的に変化してくることが予測されるので、必要となるデカップリングコンデンサの容量値や、図4や、図5や、図6や、図7や図8で定量的に決定することができないといった問題があった。

【0010】本発明は、上記従来のプリント基板の配線設計上の問題点に鑑みずなされたものであり、チェック対象とするプリント基板上の電源ピンまたはグラウンドピンに対応するデカップリングコンデンサの容値値、及びその配線が最適であるか否かを検証することができると、プリント基板の配線最適化チェックシステムを提供することにある。

[001]

【問題と解決するための手段】上記問題を解決するために、本発明では、プリント基板上に印刷された配線の配置情報をチェックするためのプリンタ基板の配線構造データベースシステムであって、前記配電路上に存在する部品位置リストから全てのICの部品番号を抽出すると共に、前記IC各々の特性仕様を抽出し、該特性仕様に含まれる高周波入力電源の「立ち上がり時間」から、チェック対象となる高速ICを選択可能な抽出手段と、前記抽出された高速ICについて、該高速ICに接続されたいコンデンサ全てを抽出すると共に、該抽出されたコンデンサ容量値の小さい順に第1のデカップリングコンデンサと、第2のデカップリングコンデンサとのグループに分類する分類手段と、前記高速ICの電源ピン内、前記第1のデカップリングコンデンサの電源ピント間、前記第1のデカップリングコンデンサの電源ピンと、前記同位位の電源ピンとの長さが所定の本数を越える場合に第1の対策指示を表示する第1の対策表示処理手段と、前記同位位の電源ピンから前記第1のデカップリングコンデンサに至る配線経路上にノイズが存在する場合に第2の対策指示を表示する第2の対策指示表示手段と、前記第1と第2のデカップリングコンデンサ間の配線を異なる複数のチェーン項目と反映した複数の方式により求める最適化計算手段と、前記第1と第2のデカップリングコンデンサの要求とした最適な配座位置を、前記複数の形式により求めた最適化配座の各々と照合してチェックすると共に、前記比較対象間に所定の境界を超える不一致が存在する場合に、第3の対策指示を表示する第3の対策指示手段と、前記第1と第2のデカップリングコンデンサが隔々あるべき最適容量値をそれぞれ計算する最適容量値計算手段と、前記第1と第2のデカップリングコンデンサに取組むとして与えられた容量値と前記最適容量値と比較される比較手段と、前記比較対象間に所定の境界を超える不一致が存在する場合に、第4の対策指示を表示する第4の対策表示手段と、このことを特徴とするプリンタ基板の配線構造データベースシステム、が提供される。

【0012】即ち、本発明では、対象とするプリント基板上の高速ＩＣに接続されたデカップリングコンデンサに対し、該コンデンサに接続された電源ラインＩＣの同電位の電源ピンと本基板と、該同電位の電源ピンと該コンデンサの電源ピンとの間のビアの寸法をチェックすると共に、上記対象とするプリント基板上に配置された上記デカップリングコンデンサを各々増設のデカップリングコンデンサの最適な配置位置、及び、最適な容値値を、簡単な計算式を用いて算出し、仮配されている上記デカップリングコンデンサの現在の配置位置、及び、容値値が上記算出結果と大きく異なる場合には、当該デカップリングコンデンサの配置位置、及び、容値値が最適になるように指示するメッセージを出力すると、従来の設計工程を要することなく、さらに、設計コストを上げることなく、電源またはランドネットが数百個ネットも【0012】即ち、本発明では、対象とするプリント基板上の高速ＩＣに接続されたデカップリングコンデンサに対し、該コンデンサに接続された電源ラインＩＣの同電位の電源ピンと本基板と、該同電位の電源ピンと該コンデンサの電源ピンとの間のビアの寸法をチェックすると共に、上記対象とするプリント基板上に配置された上記デカップリングコンデンサを各々増設のデカップリングコンデンサの最適な配置位置、及び、最適な容値値を、簡単な計算式を用いて算出し、仮配されている上記デカップリングコンデンサの現在の配置位置、及び、容値値が上記算出結果と大きく異なる場合には、当該デカップリングコンデンサの配置位置、及び、容値値が最適になるように指示するメッセージを出力すると、従来の設計工程を要することなく、さらに、設計コストを上げることなく、電源またはランドネットが数百個ネットも

あるような大規模回路において、デカップリングコンデンサの各々が受け持つ、電源ピン（またはグラウンドピン）の区別を明確にし、かつ、上記電源ピン（またはグラウンドピン）を含む回路において、デカップリングコンデンサの最適な容量値、及び、最適な配置位置を決定することを可能にしている。

【0013】また、上記電源周辺で発生すると思われるバウンスノイズを大幅に抑えることを可能にしている。さらに、散バウンスノイズが原因で発生する放射ノイズも大幅に抑えることを可能にしている。

[0014]

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の実施の形態に依るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上の回路の配線を示す配線図であ

【0015】図1に示す配線図は、IC（集積回路）1と、該IC1への電源供給源となるデカップリングコンデンサD1、D2と、GND（接地）パッドへのピッチ1、G2、G3と、Power（電源）パッドへのピッチP1と、GND配線RGと、Power配線RPを含む。

【0016】ここで、符号Length1は、ICIの上配りの電圧端子（ピン）からデカップリングコンデンサD1の電圧ピンに至るまでのPower配線RPの配線距離を示し、符号Length2は、デカップリングコンデンサD1のGNDピンからGNDベタ層へのビアVG21に至るまでのGND配線RGの配線距離を示し、符号Length

3は、GNDピンからGNDベタ層へのビアG2に至るまでのGND配線長を示し、符号Length 4は、IC1の下部の電源ピンとデカップリングコンデンサD1とを結ぶ線分とPowerベタ層へのビアP1の中心を通る水平方向ととの間の最短距離を示し、符号Length 5は、デカップリングコンデンサD1とデカップリングコンデンサD2との最短距離を示す。

【0017】図2は、本発明の実施の形態に係るプリン
ト基板の配線構造チェックシステムのチェック対象とな
る配線構造を示す配線構造図である。図3、4は、本発
明に係るプリント基板の配線構造チェックシステムのチ
ェック対象となる配線構造を示す配線構造図である。

【0018】本実施の形態では、図2に示すマイクロストリップラインと呼ばれる配線構造を基に説明しているが、本発明に係る配線構造チェックシステムは、一般に、図3に示すシングルストリップラインと呼ばれる配線構造、及び、図4に示すダブルストリップラインと呼ばれる配線構造に対しても適用することが可能である。

【0019】図2に示す配線構造は、電源バタ屋21（ブレン屋）と、電源バタ屋21上の配線22を備え、図3に示す配線構造は、電源バタ屋31と、電源バタ屋31上の配線32を備え、図4に示す配線構造は、

電源ベータ層 4 1 と、電源ベータ層 4 1 間の 2 系統の配線 4 2 を備える。

[illegible]

【0021】以下、本発明に係るプリント基板の配線構造の構成を説明する。但し、本発明に係るプリント基板の配線構造の構成は、図1に示す構成に限定されるものではない。図1は、通常のコンピュータシステムが適用可能な構成である。図1は、通常のコンピュータシステムが適用可能な構成である。図1は、通常のコンピュータシステムが適用可能な構成である。

【0022】本発明に係るプリント基板の配線構造システムでは、チェック対象とするプリント基板に、上記設計されたデカップリングコンデンサの設置位置位置、及び、最適容量値を、後述する簡単な形式を用いて設計結果により、上記デカップリングコンデンサが上記容量値及び配置位置に近いが否かを検出し、上記デカップリングコンデンサの配置位置、及び容量値が最適でない場合には、上記デカップリングコンデンサの配置位置、及び容量値が最適になるように指示するか、若しくは、適切なエラーメッセージを表示することで、プリント基板に仮設計された配線の配線構造チェックを実施している。

【0023】これにより、従来の設計工程を要することなく、また、設計コストを上げることなく、電源プレーン、または、グラウンドプレーン部で発生するバウンスノイズ、または、バウンスノイズが原因で発生する放電ノイズを抑える。

【0024】図5～8は、本発明の実施の形態に係るプリント基板の配線設計支援方法の配線構造チェックシステムの動作を示すフローチャートである。以下、図1乃至図4を参照しつつ、図5～8に示すフローチャートを用いて、本実施の形態に係るシステムの動作を説明する。

【0025】以下、符号「r」をIC1周辺で想定されるパルス電流の立ち上がり時間（S）とし、符号「 r_{max} 」をデカップリングコンデンサD1の自己共振周

波数 (Hz) とし、符号 L_{min} をデカップリングコンデンサD2の自己共振周波数 (Hz) とし、符号 L_{max} を最も近い電源ピンと最も近いGNDピンとデカップリングコンデンサD1とが構成するループでの寄生インダクタンス (H) とし、符号 L_{min} を最も近い電源ピンと最も近いGNDピンとデカップリングコンデンサD2とが構成するループでの寄生インダクタンス (H) とし、符号 L_{max} をマイクロストリップ配線の単位長さ当たりの寄生インダクタンス (H) とし、符号 L_{min} を電源プレーンの単位長さ当たりの寄生インダクタンス (H) とし、符号 L をマイクロストリップラインの総インダクタンス (H) とし、符号 C を特性インピーダンス (Ω) とし、符号 C_0 を特性インピーダンス (F) とし、符号 L_{eng} をマイクロストリップ配線の総配線長 (m) とし、符号 L_{eng} を電源プレーンの総配線長 (m) とし、符号 C_{min} をデカップリングコンデンサD1の容量値 (F) とし、符号 C をデカップリングコンデンサD2の容量値 (F) とし、符号 m をIC電源ピンに接続されるデカップリングコンデンサの個数 (個) とし、符号 $K1 \sim K11$ を所定の係数 (定数) とする。その他の符号の意味については、既述のとおりである。

【0026】但し、上記フローチャートの説明中で使用する式については、極めて後述する。ステップS1では、チェックに必要な初期条件を設定する。

【0027】ステップS2では、基板情報を格納する基板データベース (図示は省略) から全てのICの部品番号を抽出する。ステップS3では、各ICの特性に関する仕様を抽出し、後述する(1)式で求めた立ち上がり時間を参照して高速ICだけを選別したリスト1を作成する。

【0028】ステップS4では、上記リスト1から1つの高速ICだけを取り出し、その電源ピンを全て抽出する。ステップS5では、上記抽出した1つの電源ピンに注目し、該電源ピンに接続されているコンデンサの注目を全て抽出する。

【0029】ステップS6では、上記抽出したコンデンサを、容量値の小さい順にデカップリングコンデンサD1とデカップリングコンデンサD2のグループに分けず、ステップS7では、デカップリングコンデンサD1と接続されている同電位の電源ピンの番号と、その本数 (m) を関係する。

【0030】ステップS8では、後述する(7)式により、上記本数 (m) が定数K6を超えないかを判定し、超えない場合はステップS9に移り、超える場合は後述するステップS11に移る。

【0031】ステップS9では、同電位の電源ピンに注目し、デカップリングコンデンサD1までの配線長路上に存在するビアを調査する。ステップS10では、デカップ

リングコンデンサD1に関する上記配線長路上に電源ベタ層と接続されたビアがあるかを検証し、該ビアが無ければ後述するステップS13に移り、該ビアが有ればステップS12に移る。

【0032】ステップS11では、上記のチェック結果を対策指示 (7) に表示出力した後、上記のステップS10に移る。上記対策指示 (7) の内容には、例えば、「デカップリングコンデンサの電源ピンとの接続本数をK6未満にしない」等のメッセージを含めることが可能である。

【0033】ステップS12では、上記のチェック結果を対策指示 (2) に表示出力した後、ステップS13に移る。上記対策指示 (2) の内容には、例えば、「電源ベタ層へのビアをここに配置してはいけません。最適な位置に移動させない」等のメッセージを含めることが可能である。

【0034】以下、図5に示すフローチャートの説明に移る。ステップS13では、同電位の電源ピンとデカップリングコンデンサD1、及び、デカップリングコンデンサD2との間の配線長と配線長 (図5に示す L_{eng}) を決定する。

【0035】ステップS14では、後述する(2)式により、デカップリングコンデンサD1について、上記の L_{eng} が定数K1を超えていないかを判定し、超えていない場合はステップS15に移り、超えていなければ後述するステップS20に移る。

【0036】ステップS15では、デカップリングコンデンサD1、及び、デカップリングコンデンサD2とGNDベタ層へのビアまでの配線長と配線長 (図5に示す L_{eng}) を決定する。

【0037】ステップS16では、後述する(3)式により、デカップリングコンデンサD1、及び、デカップリングコンデンサD2について、上記の L_{eng} が定数K2を超えていないかを判定し、超えていなければステップS17に移り、超えていなければ後述するステップS21に移る。

【0038】ステップS17では、デカップリングコンデンサD1、及び、デカップリングコンデンサD2のGNDベタ層へのビアと近傍のIC-GNDピンまでの配線長と配線長 (図5に示す L_{eng}) を決定する。【0039】ステップS18では、後述する(4)式により、デカップリングコンデンサD1について、上記の L_{eng} が定数K3を超えていないかを判定し、超えていなければステップS19に移り、超えていなければ後述するステップS22に移る。

【0040】ステップS19では、デカップリングコンデンサD1と電源ベタ層へのビアまでの配線長 (図5に示す L_{eng}) を決定した後、後述するステップS23に移る。

【0041】ステップS20では、上記のチェック結果

【0049】ステップS30では、上記のチェック結果を対策指示 (5) に表示出力した後、上記のステップS24に移る。上記対策指示 (5) の内容には、例えば、「デカップリングコンデンサと電源ベタ層へのビアまでの配線長をK4mm以下にしない」等のメッセージを含めることが可能である。

【0050】ステップS31では、上記のチェック結果を対策指示 (6) に表示出力した後、上記のステップS26に移る。上記対策指示 (6) の内容には、例えば、「デカップリングコンデンサ間の配線長をK5mm以下にしない」等のメッセージを含めることが可能である。

【0051】以下、図6に示すフローチャートの説明に移る。ステップS32では、デカップリングコンデンサD1、及び、デカップリングコンデンサD2について、原設計されている容量値と上記の最適容量値とを比較し、両者が近似値の関係にあるかを判定し、近似値の関係を満たせば、ステップS33に移り、近似値の関係が否定されれば、後述するステップS35に移る。

【0052】ステップS33では、上記ステップS5以下の一連のチェックを、次の電源ピンに対して適用する。ステップS34では、全ての電源ピンをチェックし終えたら、上記ステップS4以下の一連のチェックを次の高速ICに適用して後述するステップS36に移る。

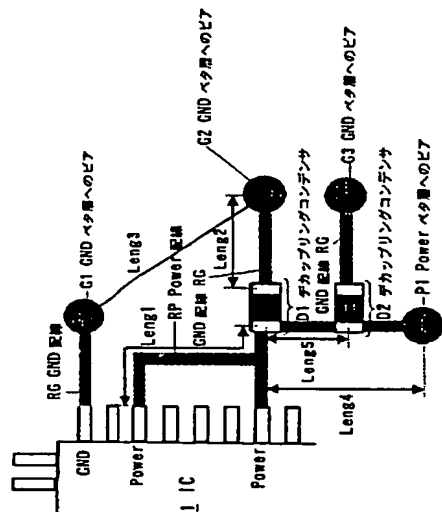
【0053】ステップS35では、上記のチェック結果を対策指示 (8) に表示出力した後、上記のステップS33に移る。上記対策指示 (8) の内容には、例えば、「デカップリングコンデンサ間の容量値を最適値に変更しない」等のメッセージを含めることが可能である。

【0054】ステップS36では、全ての高速ICをチェックし終えたら、上記全ての対策指示を出してチェックを終了する。図6は、本発明の実施形態に係るプリント基板的配線構造チェックシステムのチェック対象となる配線構造上の配線の1例を示す配線図である。

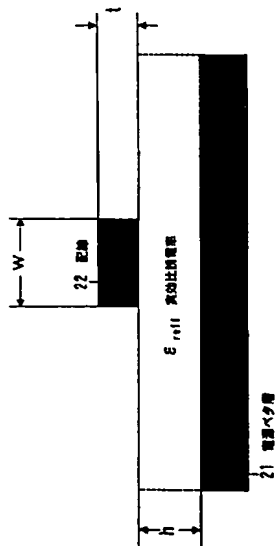
【0055】図6に示す配線構造上の配線 (基板配線) は、3、7番のVCCピンと9番のGNDピンを結ぶ高速IC100と、1000 (pF) のデカップリングコンデンサD91と、0.1 (μF) のデカップリングコンデンサD92と、GNDベタ層へのビアG91-G93と、Powerベタ層へのビアP91を含む。

【0056】ここで、上記基板配線の仕様は、下記のとおりとする。上記ICをIC100とし、動作周波数を50.0 (MHz) とし、パルス幅 (以下、符号 τ とする) を10.0 (ns) とし、立ち上がり時間 (τ_r) を1.0 (ns) とし、符号 L_{eng1} で示される長さを25.0 (mm) とし、符号 L_{eng2} で示される長さを5.0 (mm) とし、符号 L_{eng3} で示される長さを5.0 (mm) とし、符号 L_{eng3} で示される長さを30.0 (mm) とし、符号 L_{eng4} で示

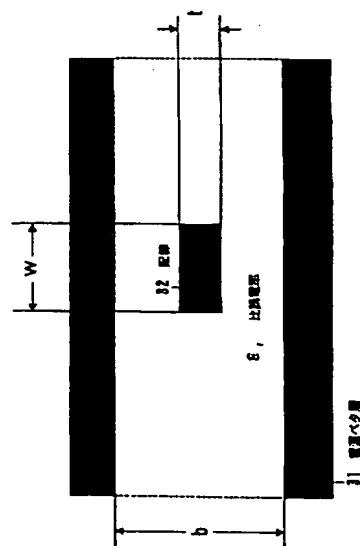
[図1]



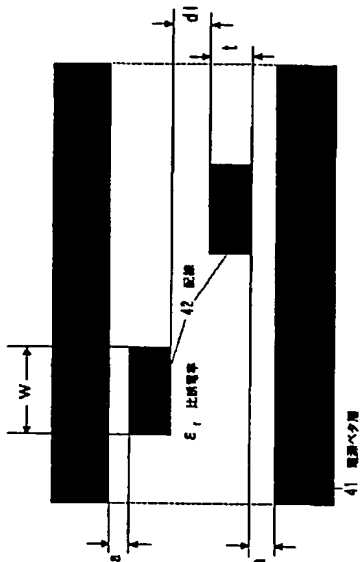
[図2]



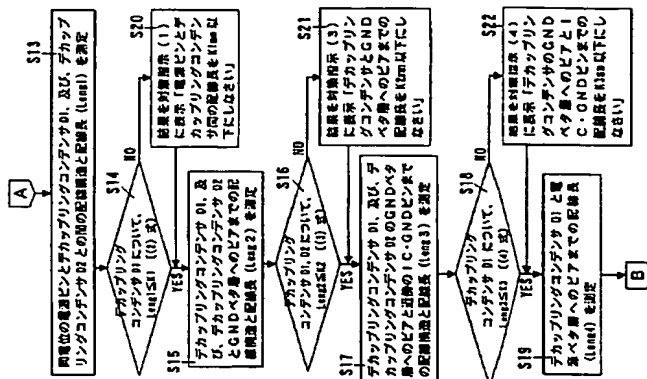
[図3]



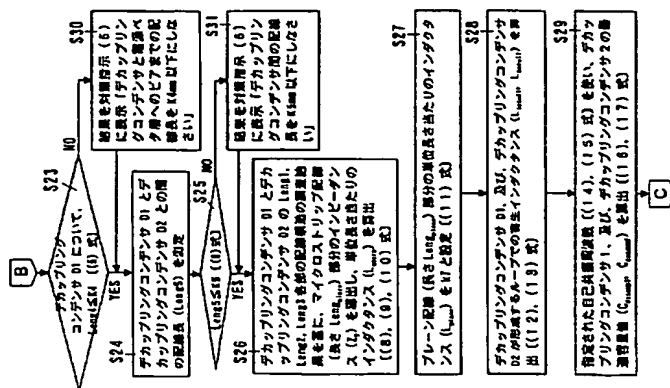
[図4]



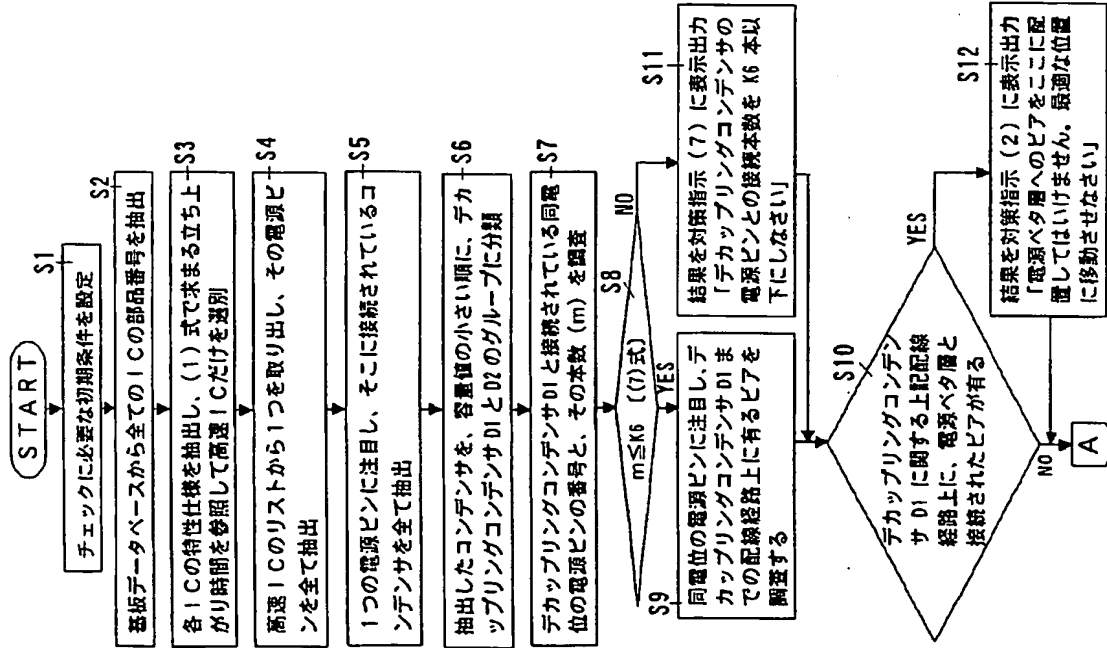
[図5]



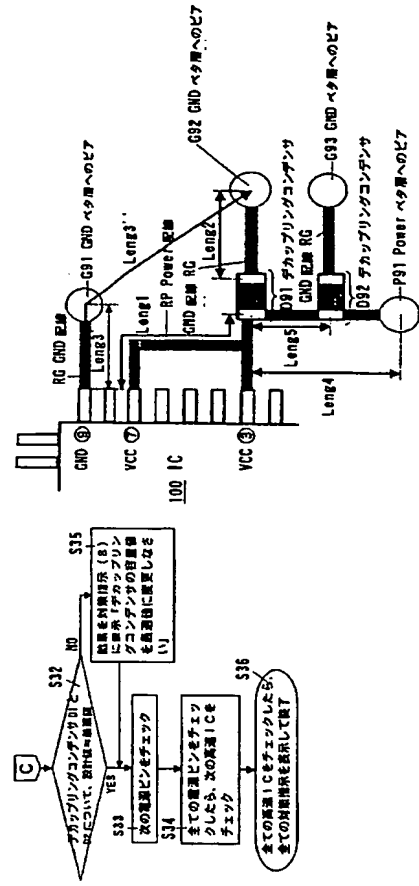
[図6]



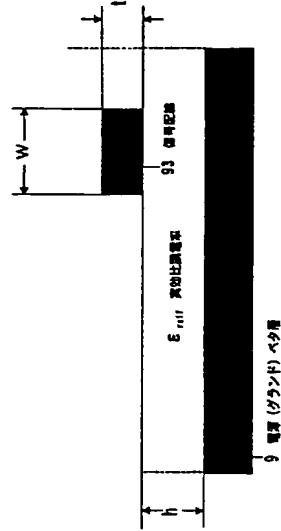
[515]



[६।३]



[010]



【注】

